



**1/5” UXGA CMOS Image Sensor
GC2035**

模组设计指南

2012-09-07

GalaxyCore Inc.

目录

1. 外围电路.....	3
1.1 DVP 接口	3
1.2 MiPi 接口	4
1.2.1 Single lane.....	4
1.2.2 Double lane.....	5
2. 设计说明.....	5
3. GC2035CSP 封装说明.....	6
3.1 GC2035 CSP 封装（单位：um）	6
3.2 CSP 封装点阵表	7
3.3 CSP 封装管脚说明	7
3.4 PCB 焊盘设计说明.....	8
3.5 CSP 封装尺寸图（单位：um）	9
3.6 CSP 封装说明	9

1. 外围电路

1.1 DVP 接口

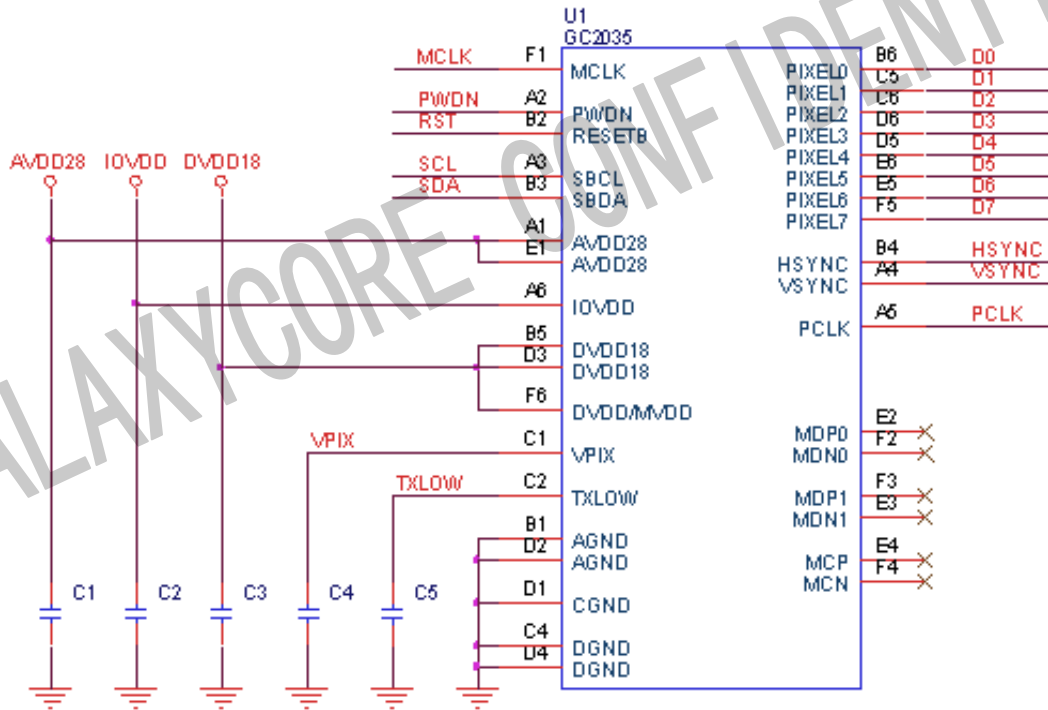


图 1-1 DVP 接口外围电路图

1.2 MiPi 接口

1.2.1 Single lane

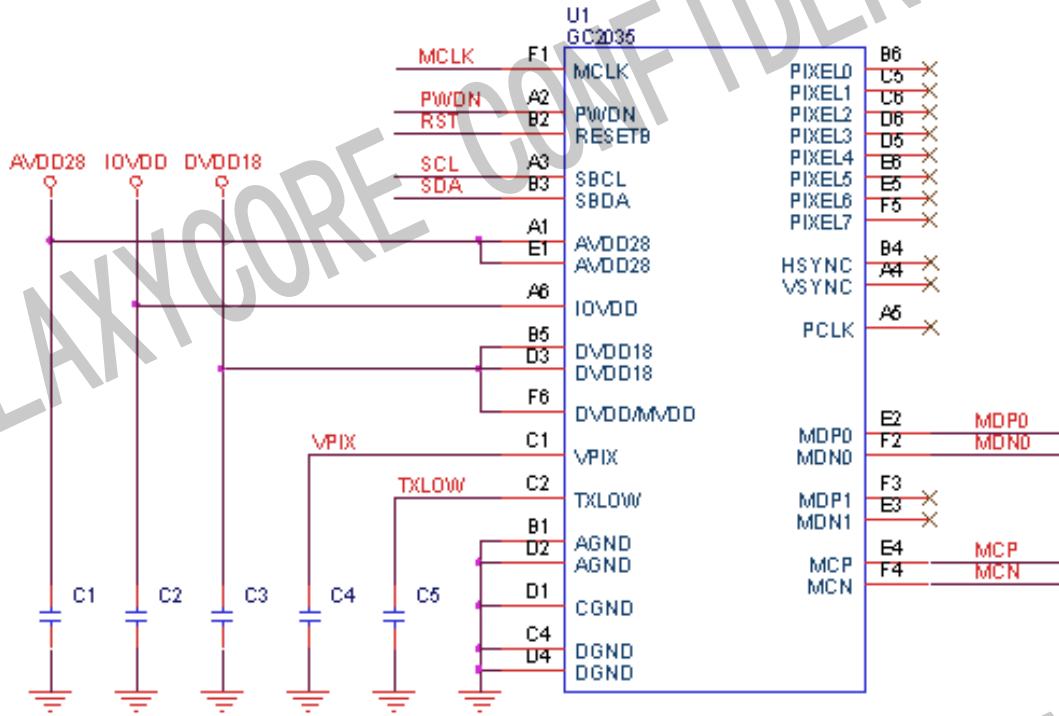


图 1-2 MIPI 接口 (single lane) 外围电路图

1.2.2 Double lane

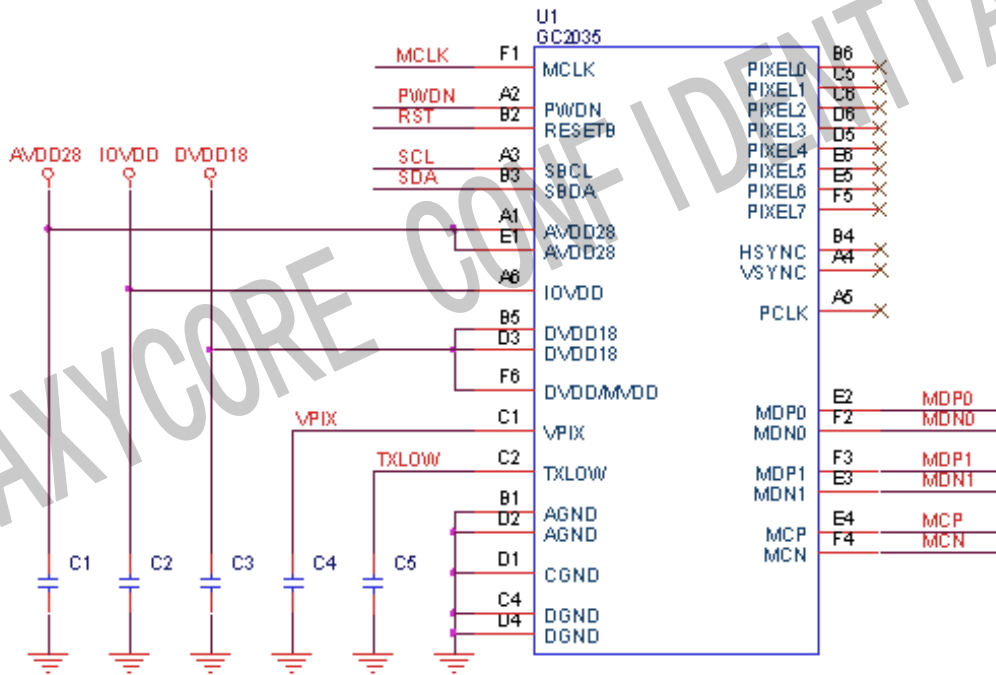


图 1-3 MIPI 接口 (double lane) 外围电路图

2. 设计说明

外围电路设计说明：

◆ GC2035芯片有三路电源供电：AVDD28，DVDD18(MVDD)，IOVDD。

AVDD28为2.8V供电电源，2.7~3.0V；

DVDD18(MVDD)为数字电路供电电源，1.7~1.9V；

IOVDD为I/O电源，1.7~3.0V。

◆ 靠近电源处，加如图示C1、C2、C3、C4、C5滤波电容，容值均为0.1μF；

◆ 电容摆放应尽量靠近电源Pin脚；

◆ 所有电容均不可省去，否则会影响图像质量；

◆ 所有的GND线，需要在内部接到一起之后，再做铺铜。否则会影响信号质量，GND走线宽度至少在0.2mm以上；

- ◆ 如果客户端MIPI接口支持两条lane，建议将芯片的两条lane都引出来；
- ◆ 芯片有RESET pin，需要引出控制；
- ◆ FPC/PCB布线时尽量让SBDA/SBCL线远离高速的信号线(如PCLK/D0~D2)；
- ◆ SBCL/SBDA pin 外部需要4.7k~10kΩ的上拉电阻；
- ◆ MCP、MCN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且差分线对走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\ \Omega \pm 10\%$ 。
- ◆ MDP、MDN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\ \Omega \pm 10\%$ 。

3. GC2035CSP 封装说明

3.1 GC2035 CSP 封装（单位：um）

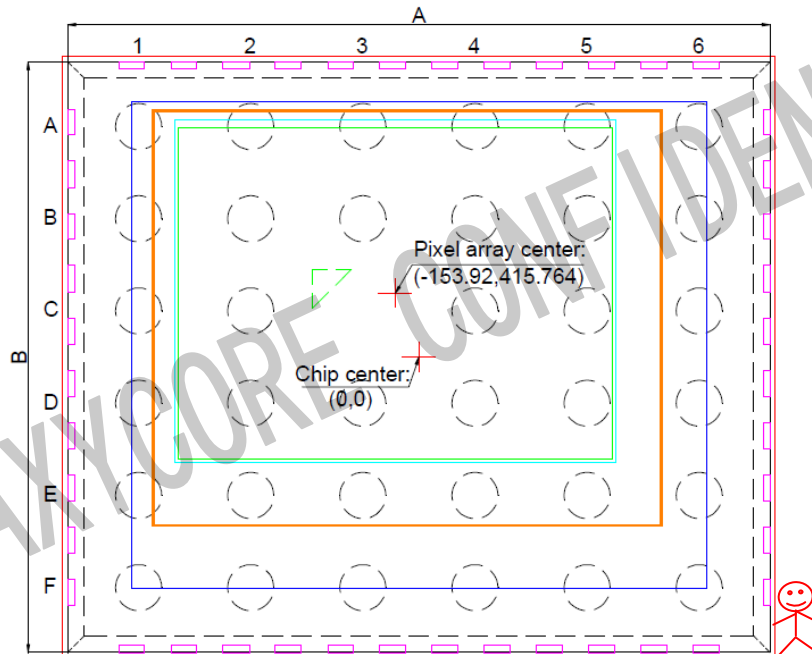


图 3-1 CSP 焊盘 Top View(Bumps Down)

3.2 CSP 封装点阵表

	1	2	3	4	5	6
A	AVDD28	PWDN	SBCL	VSYNC	PCLK	IOVDD
B	AGND	RESETB	SBDA	HSYNC	DVDD18&MVDD	D<0>
C	VPIX	TXLOW		DGND	D<1>	D<2>
D	CGND	AGND	DVDD18&MVDD	DGND	D<4>	D<3>
E	AVDD28	MDP<0>	MDN<1>	MCP	D<6>	D<5>
F	INCLK	MDN<0>	MDP<1>	MCN	D<7>	DVDD18&MVDD

3.3 CSP 封装管脚说明

Pin	Name	Pin Type	Function
A1	AVDD28	POWER	模拟电路电源：2.7~3.0V，通过0.1μF 或1μF 的电容接地
A2	PWDN	Input	芯片休眠模式控制： 0：正常工作 1：休眠模式
A3	SBCL	Input	串行通讯口时钟线
A4	VSYNC	Output	VSYNC 输出信号
A5	PCLK	Output	PIXEL 时钟输出
A6	IOVDD	POWER	Power Supply for I/O circuits, 1.7~3.0V
B1	AGND	Ground	模拟地
B2	RESETB	Input	芯片复位控制，将所有寄存器复位为初始值。 0：芯片复位 1：正常工作
B3	SBDA	I/O	串行通讯口数据线
B4	HVSYNC	Output	HSYNC 输出信号
B5	DVDD18&MVDD	POWER	数字(MIPI)电路供电电源，1.7~1.9V，通过0.1μF 或1μF 的电容接地
B6	D<0>	Output	YUV/RGB 图像数据输出端口 bit[0]
C1	VPIX	Power	内部电源，通过 0.1μF 的电容接地
C2	TXLOW	Power	内部电源，通过 0.1μF 的电容接地
C3	NC		
C4	DGND	Ground	数字地
C5	D<1>	Output	YUV/RGB 图像数据输出端口 bit[1]
C6	D<2>	Output	YUV/RGB 图像数据输出端口 bit[2]
D1	CGND	Ground	模拟地
D2	AGND	Ground	模拟地
D3	DVDD18&MVDD	POWER	数字(MIPI)电路供电电源，1.7~1.9V，通过0.1μF 或1μF 的电容接地
D4	DGND	Ground	数字地
D5	D<4>	Output	YUV/RGB 图像数据输出端口 bit[4]

D6	D<3>	Output	YUV/RGB 图像数据输出端口 bit[3]
E1	AVDD28	POWER	模拟电路电源: 2.8V, 通过0.1 μ F 或1 μ F 的电容接地
E2	MDP<0>	Output	MIPI data<0> (+)
E3	MDN<1>	Output	MIPI data<1> (-)
E4	MCP	Output	MIPI clock (+)
E5	D<6>	Output	YUV/RGB 图像数据输出端口 bit[6]
E6	D<5>	Output	YUV/RGB 图像数据输出端口 bit[5]
F1	INCLK	Input	系统时钟输入
F2	MDN<0>	Output	MIPI data<0> (+)
F3	MDP<1>	Output	MIPI data<1> (-)
F4	MCN	Output	MIPI clock (-)
F5	D<7>	Output	YUV/RGB 图像数据输出端口 bit[7]
F6	DVDD18&MVDD	POWER	数字(MIPI)电路供电电源, 1.7~1.9V, 通过0.1 μ F 或1 μ F 的电容接地

3.4 PCB 焊盘设计说明

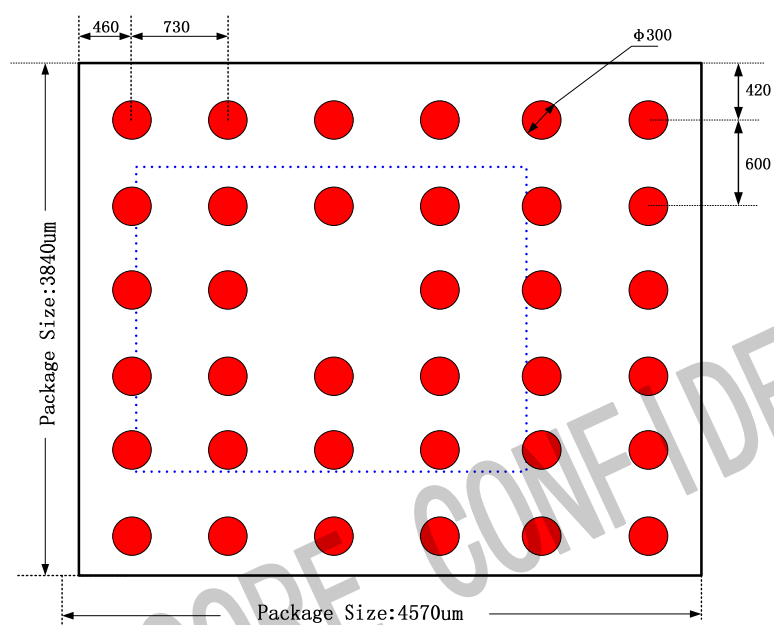


图 3-2 PCB 焊盘设计说明示意图(Top view)

注: Sensor 封装锡球大小为 300um。

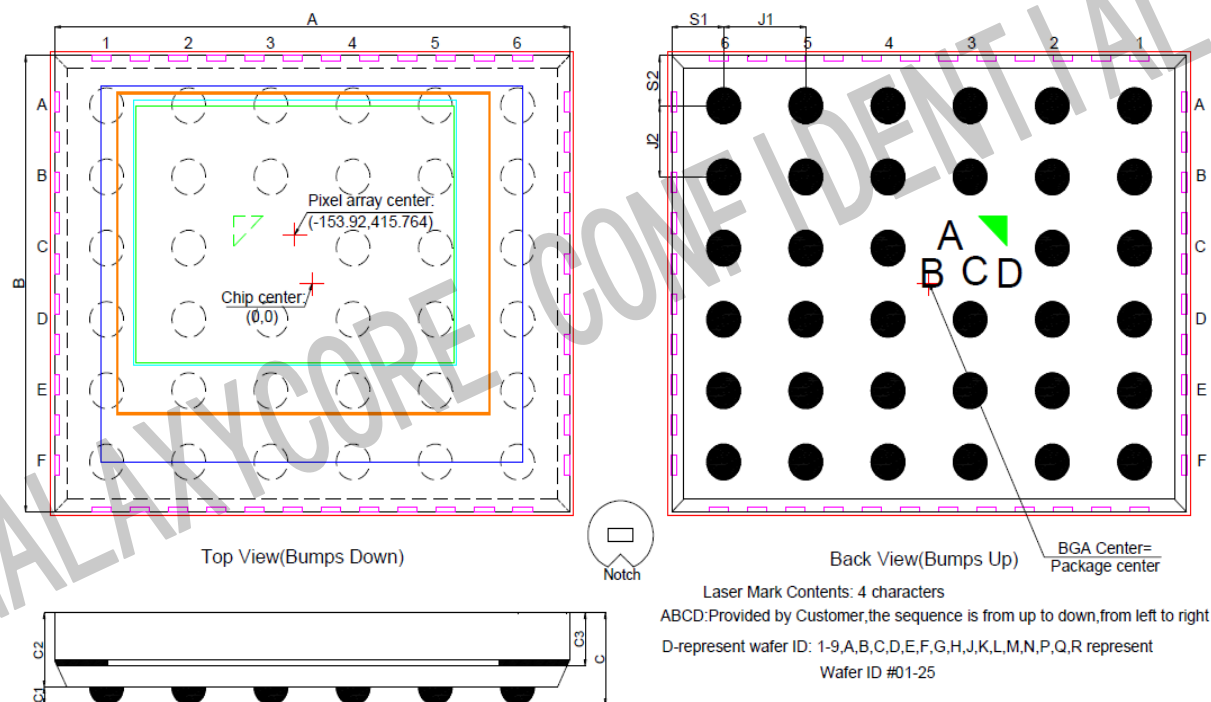
3.5 CSP 封装尺寸图 (单位: μm)

图 3-3 封装尺寸图

3.6 CSP 封装说明

Description	Symbol	Nominal	Min.	Max.
		Millimeters		
Package Body Dimension X	A	4.570	4.545	4.595
Package Body Dimension Y	B	3.840	3.815	3.865
Package Height	C	0.780	0.720	0.840
Ball Height	C1	0.160	0.130	0.190
Package Body Thickness	C2	0.620	0.585	0.655
Thickness from top glass surface to wafer	C3	0.445	0.425	0.465
Ball Diameter	D	0.300	0.270	0.330
Total Ball Count	N	35		
Pins Pitch X axis	J1	0.730		
Pins Pitch Y axis	J2	0.600		
Edge to Pin Center Distance along X	S1	0.460	0.430	0.490
Edge to Pin Center Distance along Y	S2	0.420	0.390	0.450