



PCB LAYOUT CHECKLIST

版本号 (V1.00)
日期 (2013-1-30)



PCB						
PCB 名称						
PCB 者						
公司名						
序号	检查内容	选项	PCB			备注
			Check	Done	Data	
1	CPU & Beside CPU					
2	POWER					
3	DRAM					
4	USB					
5	HDMI					
6	AUDIO					
7	KEY					
8	CSI					
9	EMAC					
10	LCD					
11	NAND FLASH					
12	CARD					
13	TV					
14	WIFI					
15	SPDIF					
16	GPS					
17	MOTO					
18	ALS					
19	G-SENSOR					
20	I2S					
21	TP					
22	3G					



目录

1. CPU & Beside CPU	4
2. POWER.....	4
3. DRAM.....	5
4. USB.....	5
5.HDMI.....	6
6.AUDIO.....	6
7.KEY	7
8.CSI	7
9.EMAC	7
10.LCD.....	8
11.NAND FLASH.....	8
12. CARD	8
13.TV	8
14.WIFI.....	8
15.SPDIF.....	9
16.GPS	9
17.MOTO.....	9
18.ALS	9
19.G-SENSOR.....	10
20.I2S	10
21.Board & Mechanical	10
22.COPPER	10
23.Silkscreen.....	11



1. CPU & Beside CPU

No.	Item	Y	N	Actual	Check	Date	Note
1	CPU package 与 datasheet 是否一致						
2	CPU e-pad 是否有与 PCB GND 连接,各层 pad 是否为 solder mask 状态						
3	Bypass Cap 是否对应每个 pin 脚						
4	Crystal 电路是否接近 IC						
5	TP2、TP3 作为 UART 的 TX/RX 测试口，建议保留，方便调试						

2. POWER

No.	Item	Y	N	Actual	Check	Date	Note
1	AXP209 pin43 和 pin42 反馈点一定要在检测电阻两端						
2	电池正端连接检查电阻 pin1 和 AXP209 pin38、pin39 的走线线宽 \geq 80mil						
3	检查电阻要选择 1%精度的 30m ohm 精密电阻，封装要为 0805 以上						
4	指示灯放置板边，并标识清楚						
5	注意 ACIN/VBUS/IPSOUT/CPUCDD/ COREVDD/DRAMVCC/VCC-3V3 的走线宽度，如果可以在电源层走线，尽量使用电源分割方式，使走线线宽大于 80mil						
6	IC 底层地保持一片完整的大地，以便 IC 的散热						
7	注意 APS/VINT/VREF/BIAS 使用同一个公共地						
8	若需要复位功能，最好使用 N_OE 复位方式 通过 N_OE 的复位和 PWROK 复位的区别在于：N_OE 复位是将 PMU 系统复位了，涉及到的输出都恢复成默认值，PWROK 复位只复位主控，假如 PMU 输出供电电压在复位主控前就有所改变，复位以后可能不能正常进入系统，除非完全断电 不管是 N_OE 复位还是 PWROK 复位，PWROK 都是要和主控的 RESET 管脚直接连接						
9	输入电容尽量靠近 IC 管脚处，若输入走线过长，在插座输入端最好增加一个 4.7uF 以上的陶瓷电容，同样需要串联电阻						
10	IC 底部金属一定要和 PCB 板的地焊盘良好接触，地焊盘的过孔尺寸为 0.3mm，并做成 3 行*3 列						
11	充电电路走线不要与其它走线平行						
12	AXP209 pin43 和 pin42 反馈点一定要在检测电阻两端						



13	电池正端连接检查电阻 pin1 和 AXP209 pin38、pin39 的走线线宽 \geq 80mil						
14	充电电路环路短 						
15	PMU bottom ground 完整						
16	BAT,DCIN,VBUS,INTVDD, width=50mil , CPUVDD , width=100mil						
17	IPSOUT 为 Power 层连接 , pin13,14 Vias more than 3						

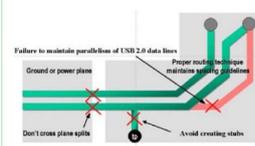
3. DRAM

No.	Item	Y	N	Actual	Check	Date	Note														
1	DRAM 的 CK 和 CK-N 线是否有串电阻 ,推荐值为 24R ,靠近 DRAM 端是否有桥接一个 NC 电容 (如焊接时则选用 10pF)																				
2	SRST 和 SODT 直接从 CPU 连接到 DRAM																				
3	DRAM 部分 PCB layout 是否有参照原厂提供的标准 PCB 文件																				
4	Rules: <table border="1" data-bbox="325 943 1002 1279"> <thead> <tr> <th></th> <th>长度规则</th> <th>理论延时</th> </tr> </thead> <tbody> <tr> <td>差分对 CK / CK-N、DQSn / DQSn-N</td> <td>+10 ~ -10 mil</td> <td>2ps</td> </tr> <tr> <td>DQSn</td> <td>相对于 CK +400mils ~ -400mils</td> <td>66ps</td> </tr> <tr> <td>同组 DQn、DQMn</td> <td>相对于 DQS -200 ~ -200 mil</td> <td>33ps</td> </tr> <tr> <td>COMMAND、ADDRESS 线</td> <td>相对于 CK +600mils ~ -600mils</td> <td>100ps</td> </tr> </tbody> </table>		长度规则	理论延时	差分对 CK / CK-N、DQSn / DQSn-N	+10 ~ -10 mil	2ps	DQSn	相对于 CK +400mils ~ -400mils	66ps	同组 DQn、DQMn	相对于 DQS -200 ~ -200 mil	33ps	COMMAND、ADDRESS 线	相对于 CK +600mils ~ -600mils	100ps					
	长度规则	理论延时																			
差分对 CK / CK-N、DQSn / DQSn-N	+10 ~ -10 mil	2ps																			
DQSn	相对于 CK +400mils ~ -400mils	66ps																			
同组 DQn、DQMn	相对于 DQS -200 ~ -200 mil	33ps																			
COMMAND、ADDRESS 线	相对于 CK +600mils ~ -600mils	100ps																			
5	Impedance: <table border="1" data-bbox="325 1323 1002 1496"> <thead> <tr> <th>层别</th> <th>线宽/线间(mil)</th> <th>控制阻抗值 (ohm)</th> </tr> </thead> <tbody> <tr> <td>L1</td> <td>6/6 mil</td> <td>45 \pm 10%</td> </tr> <tr> <td>L1</td> <td>5/6 mil</td> <td>85 \pm 10%</td> </tr> <tr> <td>L1</td> <td>4.5/8 mil</td> <td>95 \pm 10%</td> </tr> </tbody> </table>	层别	线宽/线间(mil)	控制阻抗值 (ohm)	L1	6/6 mil	45 \pm 10%	L1	5/6 mil	85 \pm 10%	L1	4.5/8 mil	95 \pm 10%								
层别	线宽/线间(mil)	控制阻抗值 (ohm)																			
L1	6/6 mil	45 \pm 10%																			
L1	5/6 mil	85 \pm 10%																			
L1	4.5/8 mil	95 \pm 10%																			
6	Bypass 是否均匀分布																				
7	DDR 信号线参考平面是否完整																				
8	DDR 信号走线长度要求一致																				
9	Layout 规则详见 DRAM Layout Guide , 建议使用模板																				

4. USB

No.	Item	Y	N	Actual	Check	Date	Note
1	USB 的电气特性满足 USB2.0 的规范 , 其差分阻抗为 90 欧						
2	USB D+/D-始终保证差分并排走线 , 拐脚的角度为 45 度						



3	USB D+/D-信号走线要与周围的走线和电路保持足够的隔离，最小距离为 5 倍于 D+/D-两线间距；尽量避免 D+/D-的走线走在器件的下面或者与其他信号交叉；要保证走线下方有完整的地，并且地没有被分割						
4	在进行模块设计的时候，优先考虑 USB 的布线位置，并尽可能的减少 USB 走线的长度						
5	Width : W=5 , C=6mil						
6	 <p>差分对与其它信号间距>10 mil。 建议在表层走线，同时相邻层必须有连续完整的参考面。</p>						
7	VBUS 部分电路是否靠近 IC 放置						
8	采用共模抑制线圈						

5.HDMI

No.	Item	Y	N	Actual	Check	Date	Note
1	W=4.5mil ; C=8mil , impedance=100ohm						
2	2 layers : diff pairs 包地 , grond 平面完整 ; 4 layers : grond 参考平面完整						
3	ESD 器件靠近 HDMI 插座						
4	HDMI 走线不能多于 2 个过孔						

6.AUDIO

No.	Item	Y	N	Actual	Check	Date	Note
1	MICP,MICM PCB 走线 MICM 需要走线拉回到 VRA1 与地连接处，并进入到 IC 得 GND，外围最好包地，MICP 最好包						
2	远离高速信号线，如 LCD、DRAM。禁止在高速信号线相邻层走线，若要交叉，中间须有“地”层隔离，且禁止在速信号线附近打孔换层；						
3	远离 LCD 背光部分，同时 LAY 板的时候，注意减小背光部分的 EMI；MICIN、MICM 信号线尽可能做到“包地”						
4	MICIN 尽可能短和粗，线宽不小于 0.25MM；						
5	屏的外壳接地						
6	MIC 摆放位置尽量远离 RF、PA						
7	MICM 接地要靠近 VRA1 对地电容的另一个 PIN						
8	SPEAKER 走线包地(如果允许可以走内层)，宽度尽量宽，距离短，至少 5mils						



9	SPEAKER AMP 的电源走线尽量宽，距离短，至少 25mils						
10	HPL 与 HPR 中间隔地						

7.KEY

No.	Item	Y	N	Actual	Check	Date	Note
1	键数选择：根据需要，直接去掉后面的按键，如只要三个键，保留 SW3，SW4，SW5，去掉 SW6,7，但需把 uboot 的 0 欧姆电阻连接到 SW5 的 4 端						

8.CSI

No.	Item	Y	N	Actual	Check	Date	Note
1	摄像头方向以及位置: 1. LAYOUT 时，保证摄像头成像方向与 LCD 显示一致; 2. 保证模具的摄像头开孔位置，与摄像头插座位置的距离尽量近。以防摄像头模组 FPC 过长导致诸多莫名其妙的问题						
2	CSI-AVDD 要与 CSI-IOVDD 在 LDO 引脚处分别走线，CSI-AVDD 可以串联一个磁珠，防止受干扰						
3	控制 IO: 1. CSI-STBY，CSI-RST 的上拉电阻确保上拉到本地电源 CSI-IOVDD; 2. CSI-STBY,CSI-RST,CSI-PWR-EN 确保与主控或 PMU 芯片连接						
4	双摄像头: LAYOUT 时，请尽量保证两个摄像头的连接器不要分开太远，保证电源到达摄像头模组以及信号达到主控 CSI 的一致性						
5	CSI-MCLK 和 CSI-PCLK 需要各自包地，并保证较少的换层连接到 Camera connector						
6	保证 Camera connector 旁地的完整性						

9.EMAC/GMAC

No.	Item	Y	N	Actual	Check	Date	Note
1	Diff pairs W=4.5mil，C=8mil，impedance=100ohm						
2	在 Power 层单独规划 VCC 参考电源						
3							



10.LCD

No.	Item	Y	N	Actual	Check	Date	Note
1	LCD-CLK 需要良好的包地，并保证较少的换层连接到 LCD connector						
2	BACK LIGHT PWM 需要良好的包地连接到 LCD connector						
3	LCD 的信号线不要分叉太远						
4	LVDS 信号线要求走差分						

11.NAND FLASH

No.	Item	Y	N	Actual	Check	Date	Note
1	VPS 的上下拉是否有参照相应 NAND 的 DATASHEET 作处理						
2	NAND 封装建议按照原厂提供的封装库以兼容 TSOP/LGA52/LGA60 的 NAND FLASH						
3	确定 nand 正确贴片位置						

12. CARD

No.	Item	Y	N	Actual	Check	Date	Note
1	卡座 VCC 电容和卡座在 PCB 板在同一面，并且靠近卡座摆放						
2	ESD 器件考见插座						
3	走线尽量与高频信号隔开，数据线分组走线，过孔控制在 2 个以内						

13.TV

No.	Item	Y	N	Actual	Check	Date	Note
1							

14.WIFI

No.	Item	Y	N	Actual	Check	Date	Note
1	WIFI 天线控 50ohm 阻抗，由于使用天线的差异，具体的布线方法要根据实际情况来决定，为了不让天线变成单向天线， 请将天线走线在顶层，并且镂空下面的电源层						



19.G-SENSOR

No.	Item	Y	N	Actual	Check	Date	Note
1	需要注意 G-sensor 的方向，推荐摆放在左上方						
2	GS 的摆放原则是右上方放置 PIN1 脚，与屏平行放置，放在屏的左上方.						
3	<p>由于 GS 是微机件，所以在布局的时候要注意离开螺丝、远离按键、远离发射源、不能在螺丝的夹角、避免超声波制程、放在板边（1CM）</p>						

20.I2S

No.	Item	Y	N	Actual	Check	Date	Note
1							

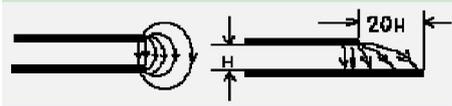
21.Board & Mechanical

No.	Item	Y	N	Actual	Check	Date	Note
1	Board outline 做圆弧处理，圆弧弯角为 1.5MM						
2	标注 outline 尺寸						
3	Add 定位孔，并确认定位孔位置.定位孔不要与地相连						
4	Add 光学点						
5	空白处 add GND vias						
6	VIA (V24R13) 尺寸符合生产，电源走线更换大 VIA(V35R18)						
7	元件安装及限高是否正确						

22.COPPER

No.	Item	Y	N	Actual	Check	Date	Note



1	<p>大面积铜箔应当用隔热带与焊盘相连,避免由于热容过大,造成虚焊、吊桥等不良现象。如下图</p> 						
2	<p>为防止电源辐射,最好将电源层内缩,尽量遵循规则。以一个 H (电源和地之间的介质厚度) 为单位,若内缩 20H 则可以将 70% 的电场限制在接地边沿内;内缩 100H 则可以将 8% 的电场限制在内。一般四层板电源层内缩 80mil-100mil 为宜。</p> 						
3	BGA 封装时,加大外围 power 进入 IC 时走线						

23.Silkscreen

No.	Item	Y	N	Actual	Check	Date	Note
1	Add 公司 (或其他) 标识						
2	Add PCB name, date, layers						
3	清楚标识各个功能模块						
4	清楚摆正每个元器件 label						
5	标注插座, TP 功能						
6	标注 IC, 插座 pin1						
7	器件丝印是否重叠						
8	器件 label 是否重叠或者隐藏在元器件中。						
9	标识一律放置在 board geometry-silkscreen 层						