



# DRAM Layout 说明

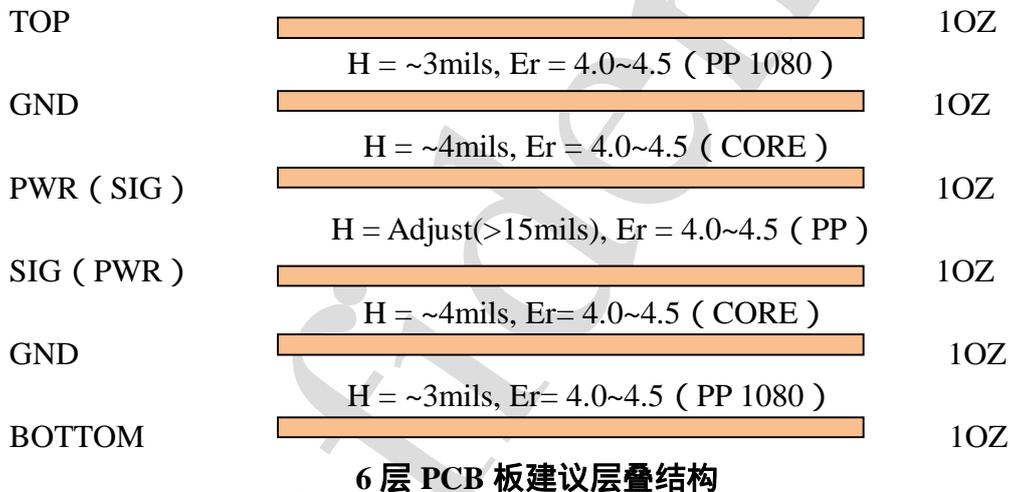
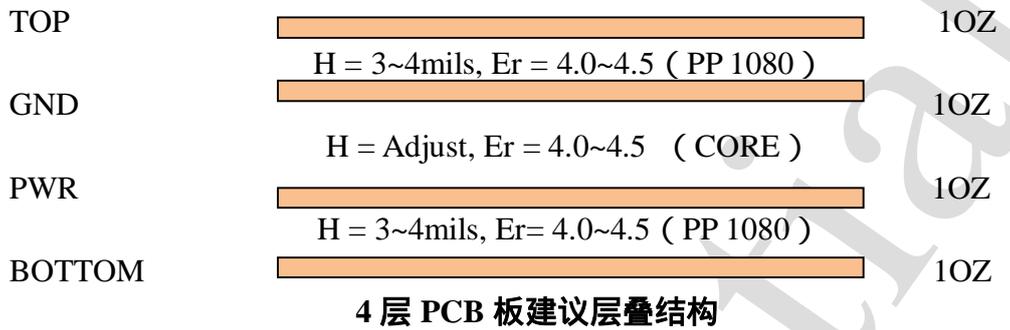
V2.0

Daniel Wang

2012-12-01



## PCB 层叠说明



如上图所示，分别为 4 层 PCB 与 6 层 PCB 的层叠结构。  
常见的 FR4 板材介电常数 ( Er ) 都会介于 4.0~4.5。常用的 FR4 1080 pp 板型厚度为 2.8~3mils。

建议 TOP/BOTTOM 与相邻参考平面间采用 1080 PP 板。

同时，需要说明的是，对于 6 层板，DRAM 部分 3 层信号走线是可以完成的。如果对于其他的局部信号需要 4 层走线，可以 L3/L4 同时走线，但这两层走线需要尽可能垂直交叉走线，避免平行走线。



## 走线宽度与间距说明

数据信号包括：DQM<sub>x</sub>，DQ<sub>x</sub>，DQS<sub>x</sub>；

地址/控制信号包括：A<sub>x</sub>，BA<sub>x</sub>，CS，WE，CAS，RAS，ODT，CKE，RST

时钟信号包括：CK，CK#

在**保证以上提到的层叠结构**的基础上：

数据信号（DQS<sub>x</sub> 除外）走线宽度为 4mils，间距（边到边）为 8mils。

DQS<sub>x</sub>/DQS<sub>x</sub>#为差分信号，差分对的走线宽度为 4.5mils，间距为 8mils，同时与其他信号的间距保持 10mils。

地址控制信号走线宽度为 4mils，间距为 8mils。

CK/CK#为差分信号，走线宽度为 4.5mils，间距为 8mils，同时与其他信号的间距保持 10mils。

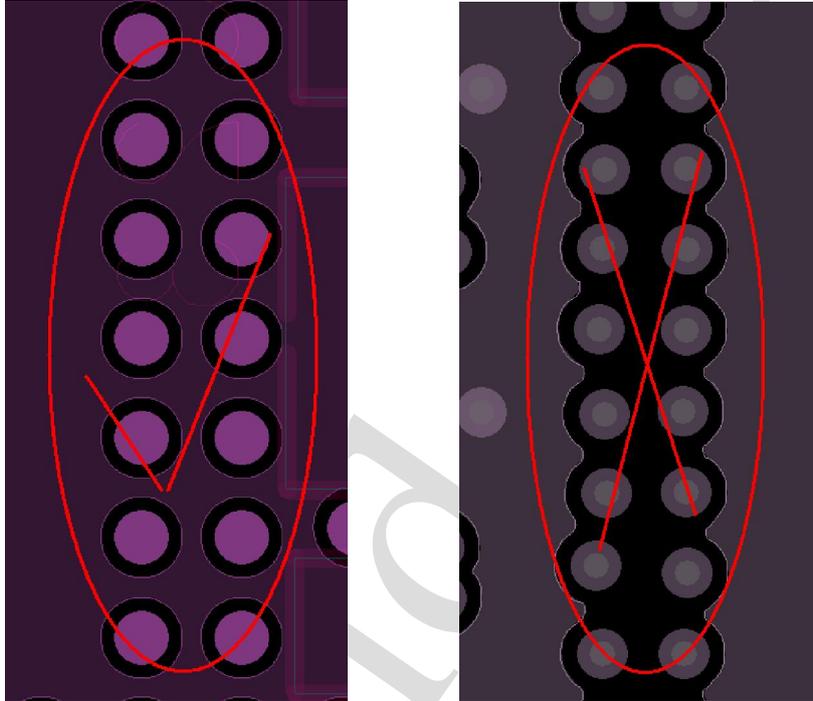
**关于阻抗调整**：采用本文所规定的层叠结构，与线宽线距，就不需要板厂进行阻抗调整。

很多情况下，会因为板厂的阻抗调整不当，导致走线的间距变小，串扰急剧增大，最后方案无法量产。

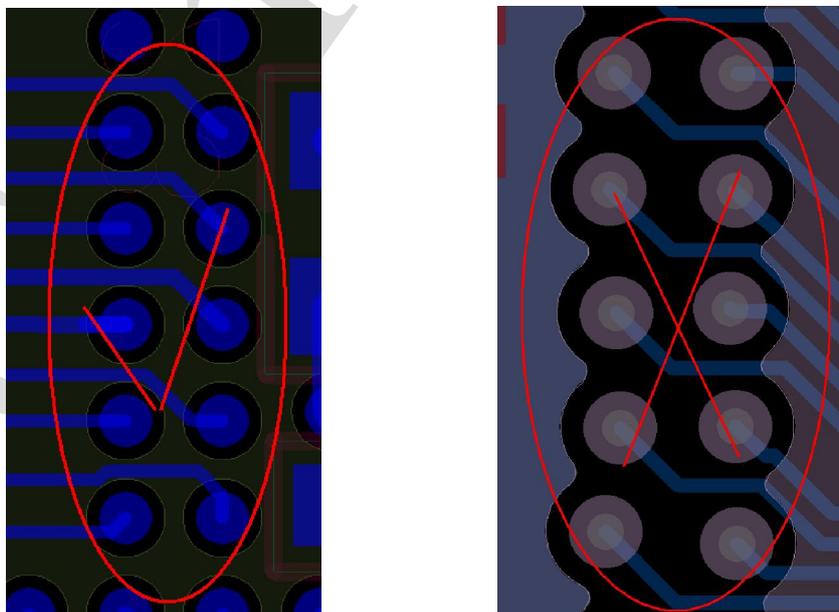


## 过孔说明

如下图所示，SOC 通过过孔扇出时，必须保证过孔间的铜皮能连通。对于 0.65Pitch 的 SOC，在 IC 扇出的地方，过孔采用 8/14mils，反焊盘采用 3.5mils。对于 0.8Pitch 的 SOC，过孔采用 10/18mils，反焊盘采用 4mils。

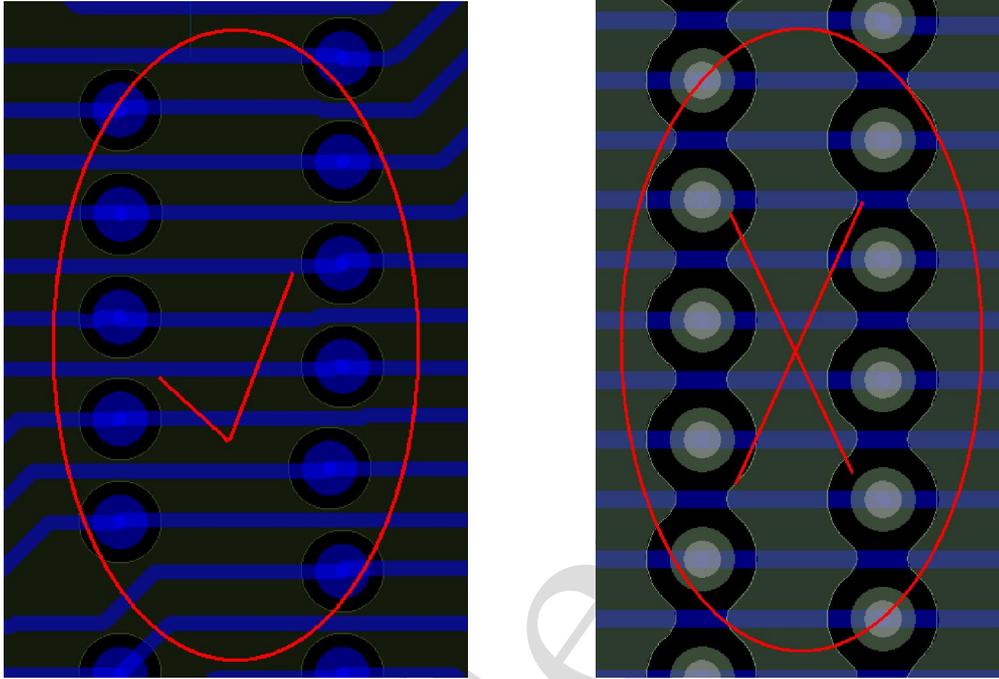


如下图所示，对于 SOC 底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。





如下图所示, DRAM 部分 Layout 的走线必须保证回流路径不能被过孔反焊盘打断。  
过孔采用 8/14mils, 反焊盘 4mils。



Confidential



## Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.

Confidential